

## SEMICONDUCTOR DEVICE AND ITS FABRICATION

Patent Number: JP7249770

Publication date: 1995-09-26

Inventor(s): FUNATO NORIHIDE; others: 02

Applicant(s):: TOSHIBA CORP

Requested Patent: JP7249770

Application Number: JP19940067879 19940310

Priority Number(s):

IPC Classification: H01L29/78 ; H01L21/316

EC Classification:

Equivalents:

### Abstract

**PURPOSE:** To obtain a vertical MOSFET in which fluctuation of threshold voltage is suppressed by composing a gate insulating film of a heat treated CVD insulating film and a thermal oxide film thereby reducing the charge being charged up at the gate insulating film.

**CONSTITUTION:** A drain region 11 is provided on the main surface of a semiconductor substrate 10 and a base region 12 is provided on the drain region 11, and then a source region 13 is provided on the surface of the base region. A gate insulating film 20 is then deposited on the inner wall face of a trench, and its periphery, penetrating the base region from the surface of the source region and reaching the drain region. A gate electrode G is then provided on the gate insulating film 20 composed of a thermal oxidation film 21 formed heat treating the surface of the semiconductor substrate 10 in oxidative atmosphere, and an annealed CVD insulating film 22 on the thermal oxidation film 21. Since the gate insulating film has stabilized electrical and mechanical characteristics, charge-up is suppressed.

Data supplied from the esp@cenet database - I2

(1) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-249770

(45) 公開日 平成7年(1995)9月28日

(5) Int.Cl.<sup>a</sup> H 01 L 29/78  
21/316 S 7352 - 4M  
X 7352 - 4M

(21) 出願番号 特願平6-67679  
(22) 出願日 平成6年(1994)3月10日  
(71) 出願人 株式会社セイエイ  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 舟戸 紀秀  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝多摩川工場内  
(72) 発明者 米田 康達  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝多摩川工場内  
(74) 代理人 井理士 竹村 重  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝多摩川工場内

## (54) [発明の名稱] 半導体基盤及びその製造方法

## (57) [要約]

【目的】 ゲート絶縁膜にチャージアップされた電荷を減少させ、しきい値電圧V<sub>th</sub>の変動を抑えた鏡型MOSFETを有する半導体装置及びその製造方法を提供する。

【構成】 半導体基板10には、主面上のドライン領域1と、この上のベース領域12と、ベース領域の表面側のソース領域13と、ソース領域からベース領域を真通り、ドライン領域中にその底面が達するトレンチ内壁面上及びこのトレンチ周辺に形成されたゲート絶縁膜20と、ゲート絶縁膜上のゲート電極Gをもつていて。ゲート絶縁膜は、半導体基板の表面を酸化性雰囲気で熱処理して形成した熱処理膜21及びこの熱処理膜の上にCVD絶縁膜22から構成されている。このゲート絶縁膜は電気的、機械的特性が安定していると共に、チャージアップされる電荷の蓄積が後來上り少ないので、このCVD絶縁膜が熱処理膜を均一にアーニールされるので、このCVD絶縁膜が熱処理膜などを形成してアーニールされる。

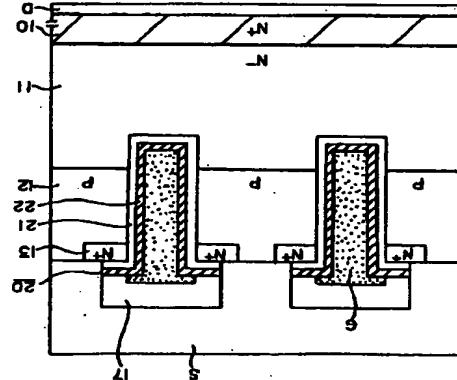
前記第2の半導体層上に、少なくとも前記ソース領域に電気的に接続されたソース電極を形成する工程と、前記半導体基板の第2の半導体層とゲート絶縁膜を構成する工程とを備え、  
前記第1及び第2の絶縁膜は、前記第3の絶縁膜とゲート絶縁膜を構成する工程とを備え、  
前記第2の絶縁膜は、前記第3の絶縁膜を形成する工程と、  
前記第1の半導体層上にベース領域として用いられる第2の半導体層を形成する工程と、  
前記第2の半導体層の表面領域にソース領域として用いられる第1導電型の第1の半導体層を形成する工程と、  
前記第1の半導体層上にベース領域として用いられる第2の半導体層を形成する工程と、  
前記第2の半導体層を構成する工程と、  
前記半導体基板の第2の半導体層を真通り、前記第1の半導体層中にセの底面が達するトレンチを形成する工程と、  
前記トレンチの底面を含む内壁面上及びこのトレンチ周辺の前記不純物拡散領域上に第1の絶縁膜である熱処理膜を酸化性雰囲気中における熱処理により形成する工程と、  
前記第1の絶縁膜の上に第2の絶縁膜であるCVD絶縁膜を形成する工程と、  
前記第2の絶縁膜の上に第3の絶縁膜であるCVD絶縁膜を形成する工程と、  
前記第3の絶縁膜を第2の絶縁膜の上から取り除く工程と、  
前記第2の絶縁膜上に、前記トレンチ内及びトレンチ周辺にゲート電極を形成する工程と、  
前記第1の半導体層上にベース領域として用いられる第2の半導体層を形成する工程と、  
前記第2の半導体層を構成する工程と、  
前記半導体基板の第2の半導体層上にドライン電極を形成する工程とを備え、  
前記第1及び第2の絶縁膜とゲート絶縁膜を構成し、  
前記第2の絶縁膜は、前記第3の絶縁膜を有する半導体基板の断面U字形状のトレンチゲート構造に関するものである。  
【請求項1】

【請求項2】 前記CVD絶縁膜は、シリコン氧化膜又はシリコン酸化膜であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 半導体基板の第1の半導体層上にドライン領域として用いられる第1導電型の第1の半導体層を形成する工程と、  
前記第1の半導体層上にベース領域として用いられる第2の半導体層を形成する工程と、  
前記第2の半導体層を構成する工程と、  
前記第2の半導体層の表面領域にソース領域として用いられる第1導電型の不純物拡散領域を選択的に形成する工程と、  
前記トレンチの内壁面上及びこのトレンチ周辺の前記不純物拡散領域上に第1の絶縁膜である熱処理膜を酸化性雰囲気中における熱処理により形成する工程と、  
前記トレンチの底面を含む内壁面上及びこのトレンチ周辺の前記不純物拡散領域上に第2の絶縁膜であるCVD絶縁膜を酸化性雰囲気中における熱処理により形成する工程と、  
前記第2の絶縁膜の上に第3の絶縁膜であるCVD絶縁膜を形成する工程と、  
前記第3の絶縁膜を第2の絶縁膜の上から取り除く工程と、  
前記第2の絶縁膜上に、前記トレンチ内及びトレンチ周辺にゲート電極を形成する工程と、  
前記第1の半導体層上にベース領域として用いられる第2の半導体層を形成する工程と、  
前記第2の半導体層を構成する工程と、  
前記半導体基板の第2の半導体層上にドライン電極を形成する工程とを備え、  
前記第1及び第2の絶縁膜とゲート絶縁膜を構成し、  
前記第2の絶縁膜は、前記第3の絶縁膜を有する半導体基板の断面U字形状のトレンチゲート構造に関するものである。  
【請求項4】

【請求項5】

【請求項6】 前記トレンチゲート構造界層効果ランジスタ(以下、MOSRETという)は、後期加工技術の進歩により低オフセット电压化が進んでいる。とくに、低電圧のMOSFETの低オン抵抗化が重要なことで、現在では、フォトレジストの剥離から単位セルのサイズ縮小に世界の見え



ている平面構造の加熱自己整合タイプから更に進んで、セカサイズをよりか形化できるトレンチ構造を有する複型MOSFETに注目されている。この複型MOSFETは、半導体基板第1の主面上にソース領域とトレンチを形成し、第2の主面上トレンチ側面にチャネル領域が形成することによってトレンチ側面にチャネル領域が形成されるようにして、セルサイズが小さくなると共にオン抵抗を小さくする事ができる。図10を参照して從来の複型MOSFETを説明する。図は、MOS集積回路を構成した半導体装置の複型MOSFETを示す部分断面図である。半導体基板に形成された複数のトレンチはその表面に、例えば、 $9\text{ }\mu\text{m}$ 間隔にマトリックス状に配置されている。N+シリコン半導体基板10の第1の主面上にドライエン槽部に用いられる低不純物濃度のN型の第1の半導体層1.1がエビクチャル成長によって形成されている。そして、この第1の半導体層1.1の上にチャネル領域に用いられるP型の第2の半導体層1.2が不純物拡散によって形成されている。

[0003] この半導体基板と第1及び第2の半導体層1.2がエビクチャルウェーハを構成している。マトリクス状に配置されたトレンチ1.4は、第2の半導体層1.2の表面から第1の半導体層1.1の内部にまで形成されており、その幅は例えば $1\text{ }\mu\text{m}$ であり、その深さは例えば $4\text{ }\mu\text{m}$ である。ソース領域1.3は、第2の半導体層1.2の表面領域に形成され、各トレンチ1.4の両側に沿って配置されている。ソース領域1.3は、このトレンチ1.4によってほぼ長方形の平面パターンを有する多数の単位セルに分割されており、マトリクス状に規則正しく配置されている。第2の半導体層1.2の表面には、トレンチ1.4の内部にも形成されている複数トレンチ絶縁膜1.5で被覆されている。ゲート電極Gは、例えば、不純物ガードープされたポリシリコンからなり、トレンチ1.4内蔵に埋め込まれ、複合ゲート絶縁膜1.6の上に形成されている。隣合うトレンチ1.4内のゲート電極相互は、遮断的に形成されている。複合ゲート絶縁膜1.6の最下層の第1の絶縁膜1.5.1は、熱酸化により形成されたシリコン酸化膜( $\text{SiO}_2$ 膜)から構成されている。この上に第4層の絶縁膜1.5.2であるシリコン塗装膜( $\text{Si}_3\text{N}_4$ 膜)がCVD(Critical Vapour Deposition)により形成されている。さらにも、この第2の絶縁膜1.6の上に、第3の絶縁膜1.5.3が形成されている。この絶縁膜は $\text{SiO}_2$ 膜からなり、第2の絶縁膜1.6と同じ様にCVD法により形成されている。

[0004] ゲート電極G上、ソース領域1.3の露出している表面及びチャネル形成領域の第2の半導体層1.2の露出している表面を覆う様に、例えば、 $\text{SiO}_2$ 膜などからなる絶縁膜1.7が形成されている。この絶縁膜1.7のコントラクトホールを介してゲート電極Gに電気的に接続されたゲート電極1.8が形成されている。同様に、この絶縁膜1.7のコントラクトホールを介してソース

第1の半導体層1.3にコンタクトしているA1などの金属からなるソース電極Sが形成されている。ソース電極Sは、ソース電極Sとともに第2の半導体層1.2表面にも共通に形成される。これにより、基板領域・ソース領域相互間が短絡接続され、ドレイン電極D・基板領域・ソース電極Sによる影響を経ずに生ずるNPNトランジスタによる影響を遮断している。第1の半導体層1.1のドレイン電極Dは、並列接続されている。ソース電極S及びドレイン電極Dは、各セルのゲート電極Gに対して一體的に形成され、各セルのゲート電極Gは、並列接続されている。第1の半導体層1.0の裏面、即ち、第2の主面上に形成される。

す酸化物が形成される構造に求めることができる。酸化性窒素気第2の半導体層1のシリコン半導体表面を加熱すると、酸素原子が半導体表面からその内部に入り込み、表面に酸化シリコンが形成される(図1.2(a))。このとき、加熱が過度になると酸化シリコン層は、半導体層1内部へ入り込むが、その層部分は、酸化が進むる層部の断面形状が次第に尖鋸化していく(図1.2(b))。したがって、この部分の厚みを十分にすると、他の部分はさもなく厚くしなければならぬ。ゲートのチャネル部の絶縁膜が厚くなり過ぎると、低電圧駆動ができなくなるために、余り厚くすることはできない。この様に、酸化MOSFETは、ゲート絶縁膜にON膜などの複合膜を用いているのが現状であるが、このような駆動電圧の負なる複合絶縁膜が流れると、複合膜の各絶縁膜中の電荷平衡が成立するよう界面に電荷がチャージアップされることが知られている。これは、複合ゲート絶縁膜に電荷が蓄えられることであり、MOSFETのしきい値電圧Vthがゲート絶縁膜中のリーカー電流によって変動することを意味している。しきい値電圧Vthの変動は、特性や信頼性の面で直

【0010】また、半導体基板の第1の主面上にドレイン電極として用いられる第1導電型の第1の半導体層を形成する工程と、前記第1の半導体層上にベース電極として用いられる第2導電型の第2の半導体層を形成する工程と、前記第2の半導体層の表面領域にソース電極として用いられる第1導電型の不純物散乱領域を選択的に形成する工程と、前記不純物散乱領域からこの不純物散乱領域及び前記第2の半導体層を貫通し、前記第1の半導体層中にその底面が通するトレチチを形成する工程と、前記トレチチの底面を含む内表面およびこのトレチチ周辺の前記不純物散乱領域上に第1の絶縁膜であるCVD熱凍結膜を形成する工程と、前記第3の絶縁膜上における熱凍結膜における熱凍結膜上から取り除く工程と、前記第1の絶縁膜上に第2の絶縁膜であるCVD熱凍結膜を形成する工程と、前記第2の絶縁膜に接着されたソース電極を形成する工程と、前記半導体基板の第2の主面上にドライン電極を形成する工程とを備え、前記第1及び第2の絶縁膜とゲート絶縁膜を構成し、前記第2の絶縁膜は、前記第3の絶縁膜を製造する工程の特徴としる。

【0008】問題を解決するための手段】本緊固の半導体装置は、第1導電型の半導体基板と、前記半導体基板の第1の主面上に形成され、ドレンイン領域として用いられる第1導電型の第1の半導体層と、前記第1の半導体層上に形成され、ベース領域として用いられる第2導電型の第2の半導体層と、前記第2の半導体層の表面領域に選択的に形成され、ソース領域として用いられる第1導電型の不純物拡散領域と、前記不純物拡散領域表面からこの不純物拡散領域及び前記第2の半導体層を貫通し、前記第1の半導体層中にその底面が達するようにより形成されたトレンチの内壁面上及びこのトレンチ周辺の前記不純物拡散領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、かつ、前記トレンチ内およびトレンチ周辺に形成されたゲート電極と、前記第2の半導体層上に形成され、少なくとも前記ソース領域に電気的に接続されたソース電極と、前記半導体基板の第2の主面上に形成されたドレンイン電極とを備え、前記ゲート絶縁膜は、トレンチ内を含む第2の半導体層の表面を酸化性雰囲気で熱処理して形成した熱酸化膜及びこの熱酸化膜の上に形成された熱凍結膜から構成されていることを特徴とする。前記CVD絶縁膜は、シリコン化度又はシリコン酸化度を用いても良い。

【0009】本緊固の半導体装置の製造方法は、半導体基板の第1の主面上にドレンイン領域として用いられる第

(22 倍) 1.51、塗化膜 (S13 N4 膜) 1.52 及び熱  
凍結膜 (S1 O2 膜) 1.53 が積層された複合絶縁膜によ  
り構成されている (図10参照)。通常、この複数層  
の複合絶縁膜は、それぞれ酸化膜及び塗化膜の記号をと  
ってON/OFF膜と称している。この塗化膜1.53は、図1  
のようにCVDで成長させる場合と第1の絶縁膜1.5  
1と同じ様に熱凍結により形成することができる。この  
アート絶縁膜1.6はトレンチ1.4の内壁面にのみ形成さ  
れるのではなく、そのトレンチ開口部周辺にも形成され  
る。この部分特にトレンチ1.4の部分を中心とした領域  
を拡大して図11に示す。この図に示す様に層の部分  
の熱凍結膜1.61は、他の部分に比較して薄くなっている  
。そのため、ゲート絶縁膜を熱凍結膜だけで構成する  
場合にはこの薄い部分が原因でゲート耐圧が悪くなる。  
この結果、通常は熱凍結膜1.61の上に比較的均一に形  
成される方法であるCVDによつてシリコン塗化膜(S  
13 N4 膜) 1.62を形成する。しかし、CVD法によ  
つて塗化膜は、膜表面にビンホールが形成されることが多  
いので、見掛け上の透電率が変わつて電気特性が劣化し  
たり、機械的強度が低下する。  
(0007) このビンホールを補正するため、例えば、  
熱凍結を行つてシリコン塗化膜1.63を形成している。  
このシリコン塗化膜1.63は、その形成時の熱によつて  
熱凍結膜1.62を構成する少なくとも表面前端の結晶粒子  
を部分的に融着してビンホールが消滅する。ところで、  
トレンチの肩部の熱凍結膜が薄くなる原因を図12に示

【作用】ゲート絶縁膜は、熱処理されたCVD絶縁膜と、2の露出している表面を重複する。例えば、PSSG（リンシリケートガラス）膜などからなる厚さ約6.0nmの絶縁膜（層間絶縁膜）1が形成されている。この絶縁膜1のコントラクトホールを介してゲート電極Gに電気的に接続されているA1などからなる金属のゲート配線1.8が形成されている（図2）。同様に、この絶縁膜1.7のコントラクトホールを介してソース領域1.9にコントクトしているA1などの金属のソース電極Sが形成されている。ゲート配線1.8やソース電極Sなどの配線は、層間絶縲膜1.7の上にパターニングされている。

【0012】図1は、表面の配線部分を含む半導体基板の平面図、図2は、この半導体基板上の配線部分を示した平面図、図3は、図1のA-A'線上に沿う部分の図2に示す配線部分も含む断面図である。図は、MOS集積回路を備えた半導体基板の断面図である。図は、MOS集積回路（層間絶縁膜/MOSFET）を示している。エビキシャル半導体基板1.1、1.2が第1の半導体基板1.0の上にチヤネル領域に用いられるP型の第2の半導体層1.2が不純物試験によって形成されている。この実験例では第2の半導体層1.2は、第1の半導体層1.1を部分的に不純物試験を行うことによって形成されるが、第1の半導体層1.1上に第2のエビキシャル成長層を形成することによって、これを第2の半導体層とすることができる。

【0013】マトリックス状に配置されたトレンチ1.4は、第2の半導体層1.2の表面から第1の半導体層1.1の内部にまで形成されており、その幅は、例えば、約1μm、その深さは、例えば、約4μmである。ソース領域1.9は、第2の半導体層1.2の表面領域に形成され、各トレンチ1.4の周辺に沿って配置されている。ソース領域1.9は、このトレンチ1.4によつては長方形の平面パターンを有する多數の単位セルに分割されており、単位セルはマトリックス状に規則正しく配置されている。

【0014】第2の半導体層1.2の表面は、トレンチ1.4の内側にも形成されている複合ゲート電極2.0で被覆されている。複合ゲート電極2.0は、ゲート絶縁膜2.1とから構成されているので、その周辺の半導体基板表面上に熱絶縁膜（S13-N4膜）2.2が被覆された複合絶縁膜により構成されている。

【0015】ゲート絶縁膜2.0は、熱処理されたCVD絶縁膜2.0の上に形成されている。複合ゲート電極2.0の最下層の第1の絶縁膜2.1は、熱絶縁化により形成されたシリコン酸化膜（S1-O2膜）から構成されている。この上に第2の絶縁膜2.2であるシリコン窒化膜（S13-N4膜）がCVDにより形成されている。

【0016】ゲート電極G上、ソース領域1.9の露出している表面とチヤネル形成領域の第2の半導体基板

子間に放熱部部分的に離着して、ピンホールの少ない導電度の高い膜質に改質される。更に、このエビキシャル層1.1にP型チヤネル領域形成層である第2の半導体層1.2を形成する。次ぎに、PDP（フォトエンジニアリングセス）工程及びイオン注入を用いて第2の半導体層1.2の表面領域にこの半導体層の表面からソース領域となるN+不純物散乱領域1.3を形成する。そして、トレンチ1.4及びその周辺にゲート電極となるようソース電極1.9の表面から第2の半導体層1.2を貫通し、第1の半導体層1.1に達する複数のトレンチ1.4を、例えば、RIE（Reactive Ion Etching）法などにより形成し、これをマトリックス状に配置する（図1参照、図4）。

【0017】次に、トレンチ1.4の内側面を含む第2の半導体層1.2表面に第1の絶縁膜2.1を形成する（図5）。第2の半導体層1.2表面は、酸化性雰囲中、約1000°Cで熱処理され熱絶縁膜2.1が形成される。この熱処理程度は、大体900～1100℃が適当である。次に、この熱絶縁膜2.1の上にCVD法によるシリコンなどの電気膜（CVD電気膜）2.2を堆積させる（図6）。これは第2の絶縁膜2.2である。CVD法は、気相状態での反応によって酸化シリコン膜や酸化シリコンなどの導電率を形成する方法であり、下地の状態にかかわらず一に接種されるが、品質（原の酸化性）の点で熱絶縁膜2.1である。即ち、図9(a)に示すようにCVD電気膜の結晶粒子間には、ホールなどが存在し、結晶性に欠ける傾向にある。次に、前記電気膜2.2を酸化性雰囲気中、960°C以上、1110°C以下、例えば、1000°Cで1時間程度熟化して第3の絶縁膜2.5である熱絶縁膜を形成する（図7）。

【0018】ここで、後述の縫型MOSFETでは、そのゲート絶縁膜として第1及び第2の絶縁膜とともに第3の絶縁膜もその中に含まれて、いわゆるONO膜を構成しているが、本発明では、第3の絶縁膜2.5を第2の絶縁膜2.2の上に形成してから、この第3の絶縁膜2.5をエッチング処理などの方法によって取り除くことによって、電気的、機械的特性が安定していると共に、チャージアップされる電荷の蓄積が後来より少ないと共に、チャージアップされることによってCVD絶縁膜2.5の耐熱性を向上する（図8）。第3の絶縁膜2.5、この実験例では、シリコンの熱絶縁膜を除去するには、この絶縁膜2.5のみがエッチングされるよう第2の絶縁膜2.2をCVD電気膜が熱処理されるので、このCVD電気膜は、均一にアーナールされる。

【0019】次に、ゲート絶縁膜1.6をトレンチ1.4にボーリングする。その材料には、例えば、ウエットエッチングする。その材料には、例えば、5%もししくはそれ以下の希釈（HF）を用いる。したがって、この縫型MOSFETのゲート絶縁膜2.0は、第1の絶縁膜2.1と第2の絶縁膜2.2からなり、この実験例では、例えば、約100nmの厚さがある。第2の絶縁膜2.2は、この第3の絶縁膜2.5の形成時の熱処理によりオーバーにアーナールされる。その後、CVD電気膜2.5は、図9に示すように、ピンホールが存在する複合絶縁膜2.0は、半導体装置の製造工程断面図を説明する。図4乃至図8は、半導体装置の製造工程断面図、図4は、ゲート絶縁膜2.0の露口部周辺の複合ゲート絶縁膜2.0の上に形成されている。複合ゲート電極2.0の最下層の第1の絶縁膜2.1は、熱絶縁化により形成されたシリコン酸化膜（S1-O2膜）から構成されている。この上に第2の絶縁膜2.2であるシリコン窒化膜（S13-N4膜）がCVDにより形成されている。

【0020】ゲート電極G上、ソース領域1.9の露出している表面とチヤネル形成領域の第2の半導体基板

[図8] 実施例の半導体装置の製造工程断面図。

[図9] 実施例の半導体装置のゲート絶縁膜の内層構造  
を説明する平面図。

[図10] 従来の半導体装置のゲート絶縁膜の内層構造。

[図11] 図10の半導体装置のゲート絶縁膜の製造方  
法を説明する部分平面図。[図12] 図10の半導体装置のゲート絶縁膜の部分平  
面図。

【符号の説明】

1.0 半導体基板  
1.1 第1の半導体層 (N型シリコンエピタ  
キシャル成長層)

1.2 第2の半導体層 (P型シリコンエピタ  
キシャル成長層)

1.3 ソーススラッシュ  
1.4 トレチ

1.5、2.0 ゲート絶縁膜  
1.6 ゲート電極  
1.7 絶縁膜 (層間絶縁膜)  
1.8 ゲート配線  
2.1 第1の絶縁膜  
2.2 第2の絶縁膜  
2.3 ゲートバッド  
2.4 ソースバンド  
2.5 第3の絶縁膜

キシャル成長層)

ソーススラッシュ  
トレチ

ゲート絶縁膜  
ゲート電極  
絶縁膜 (層間絶縁膜)

ゲート配線  
第1の絶縁膜

第2の絶縁膜

ゲートバッド

ソースバンド

第3の絶縁膜

[図8]

[図9]

[図10]

[図11]

[図12]

[図6]

[図7]

[図8]

[図9]

[図10]

[図11]

[図12]